

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-052461

(43)Date of publication of application : 05.03.1988

(51)Int.Cl.

H01L 25/08

H01L 23/28

(21)Application number : 61-195238 (71)Applicant : OLYMPUS OPTICAL CO LTD

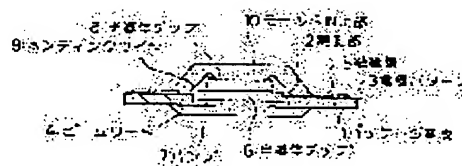
(22)Date of filing : 22.08.1986 (72)Inventor : NISHIMURA YOSHIRO

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve the mounting density and the reliability of a semiconductor device by composing it of a first semiconductor chip connected to a conductive pattern formed on one surface of an insulating substrate, a conductive pattern formed on the other surface of the substrate bonded on the first chip and a second semiconductor chip connected by wire bonding.

CONSTITUTION: A first semiconductor chip 6 is disposed downward in the hole 2 of a substrate 1, and electrode pads are connected fixedly by means, such as normal thermal-press bonding to a beam lead 4 through a bump 7 formed in advance at the end of the pad or the lead 4. A second semiconductor chip 8 is bonded with an insulating adhesive to the rear surface of the chip 6, and its electrode pads are connected by a bonding wire 9 to the front surface electrode pattern 3 of the substrate 1. Since the two chips are bonded with the adhesive at the rear surfaces to be disposed in the hole 2 of the substrate 1, the thickness of the whole can be extremely reduced.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's]

BEST AVAILABLE COPY

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁(JP)

⑭ 特許出願公開

⑯ 公開特許公報(A)

昭63-52461

⑮ Int. Cl.⁴

H 01 L 25/08
23/28
25/08

識別記号

庁内整理番号

B-7638-5F
Z-6835-5F
Z-7638-5F

⑰ 公開 昭和63年(1988)3月5日

審査請求 未請求 発明の数 1 (全7頁)

⑱ 発明の名称 半導体装置

⑲ 特 願 昭61-195238

⑳ 出 願 昭61(1986)8月22日

㉑ 発 明 者 西 村 芳 郎 東京都渋谷区幡ヶ谷2丁目43番2号 オリnbas光学工業株式会社内

㉒ 出 願 人 オリnbas光学工業株式会社 東京都渋谷区幡ヶ谷2丁目43番2号

㉓ 代 理 人 弁理士 最上 健治

明細書

1. 発明の名称

半導体装置

2. 特許請求の範囲

複数の半導体チップを封入した半導体装置において、絶縁基体の一方の面に形成した導電パターンに接続した第1の半導体チップと、該第1の半導体チップ上に接合し前記絶縁基体の他方の面に形成した導電パターンとワイヤボンディングにより接続した第2の半導体チップとを備えていることを特徴とする半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

この発明は、複数の半導体チップを高密度でパッケージに封入し、実装効率を向上させた半導体装置に関する。

(従来の技術)

電気機器に用いられている半導体装置は、半導体製造技術の向上に伴いその用途等に応じて、より一層の小型軽量化、高実装密度化が要請されて

いる。

従来、かかる要請に基づいて次のような構成のものが提案されている。例えば第14図は、バック接合形と呼ばれるもので、バック接合用のH型パッケージ基体101の上下両面に設けた凹部に半導体チップ102、103をそれぞれ配置し、基体101の裏面及び裏面に形成されている多数の導電パターンと、前記半導体チップ102、103の電極パッドとをボンディングワイヤ104で接続し、セラミック、金属等の蓋105を施して2つの半導体チップを実装した半導体装置である。なお、106は外部リードである。

第15図に示すものは、パッケージ基体111の一方の裏面に設けた凹部に、複数の半導体チップ112、113、114を平面的に並べて配置し、基体裏面に形成されている導電パターンに、各半導体チップ112、113、114の電極パッドをボンディングワイヤ115で接続して、蓋116を設け、一つのパッケージ基体に複数の半導体チップを封入したものである。

第16図に示すものは、パッケージ基体121の一方の裏面に2段階状に設けた凹部の最底部に第1の半導体チップ122を配置してその電極パッドを基体121の電極パターンとボンディングワイヤ123で接続すると共に、該第1の半導体チップ122上に、それより面積的に小さい第2の半導体チップ124を重ねて接合し、その電極パッドを基体の導電パターンとボンディングワイヤ125で接続してパッケージしたものである。

また第17図は、特公昭59-44851号公報に開示されているもので、セラミック基体131の階段状凹部に第1の半導体チップ132を配置して、その電極パッドを基体の導電パターンとボンディングワイヤで接続し、該第1の半導体チップ132を封止用樹脂133を充填して封止すると共に、蓋134を基体凹部の段部に係止させて固定し、該蓋134上には第2の半導体チップ135を固定して、その電極パッドを基体上の導電パターンとボンディングワイヤで接続し、更にこの第2の半導体チップ135をセラミック等の蓋136で被覆して、一

つの基体に2つ半導体チップを実装するようにしたものである。

(発明が解決しようとする問題点)

ところが、第14図に示したものは、パッケージ基本体101がH型構造になっているため厚みが大となり、高密度の実装が困難であり、また外部リードの引き出しが効率よく行うことができないという欠点がある。また第15図に示したものは、多数の半導体チップをパッケージすることができても、実装面積が大となり、高密度実装ができないし、またワイヤボンディング工程が複雑になるという欠点がある。

第16図に示したものは、上部の半導体チップ124は下部の半導体チップ122の電極パッドに影を与えないように設置しなければならないので、上部の半導体チップ124の大きさ、すなわち実装面積に制約を受け、またワイヤボンディングが2工程となり複雑であるという問題点がある。更に第17図に示したものは、下側の半導体チップを封止する樹脂133を平坦に充填しないと、蓋134が覆

実にパッケージ基体131の凹部の段部に係合できず、蓋134への上側の半導体チップ135の取り付けや、ワイヤボンディング工程に支障を来すという問題点がある。

本発明は、従来の複数の半導体チップをパッケージ基体に封入した半導体装置の上記各問題点を解決するためになされたもので、実装密度が高く、しかもボンディングワイヤの少ない信頼性の高い半導体装置を提供することを目的とするものである。

(問題点を解決するための手段及び作用)

上記問題点を解決するため、本発明は、複数個の半導体チップを封入した半導体装置において、組立基体の一方の面に形成した導電パターンに接続した第1の半導体チップと、該第1の半導体チップ上に接合し前記組立基体の他方の面に形成した導電パターンとワイヤボンディングにより接続した第2の半導体チップとで半導体装置を構成するものである。

このように構成することにより、2つの半導体

チップを一つのパッケージ基体に高密度で封入することが可能となり、しかもワイヤボンディング工程が少なくなり、ワイヤ数が少なくて済むので、信頼性の向上を計ることができる。また相互に接続された半導体チップは、互いに放熱板として機能するので放熱効果を向上させることも可能となる。

(実施例)

以下、実施例について説明する。第1図は、本発明に係る半導体装置の一実施例の概略断面図である。図において、1はエポキシ樹脂、ポリイミド樹脂等からなる平板状のパッケージ基板で、中央部には半導体チップを配置するための開孔部2が形成されており、上面には電極パターン3が形成されていて、接電極パターン3は基板1の周縁部を通過して裏面の一部に達するように形成されている。また基板1の裏面にはビームリード4がフィンガー状に前記開孔部2の一部に突出するように形成されている。そして表面の電極パターン3には、後述のボンディングワイヤ等との接続部を

除いて総経路 5 が記されている。

6は第1の半導体チップで、前記蓋板1の開孔部2内に下向きに配置され、その電極パッド又は前記ビームリード4の先端に予め形成されているパンプ7を介して、電極パッドをビームリード4に通常の熱圧着等の手段により接続し固定されている。8は第2の半導体チップで前記第1の半導体チップ6の裏面に絶縁性接着剤により接合されており、その電極パッドはボンディングワイヤ9により、蓋板1の裏面電極パターン3に接続されている。10は各半導体チップ8、8と蓋板1の一部を一体的に封止している、エポキシ樹脂等のモールド材からなるモールド封止部である。

このように2つの半導体チップをその裏面同士を鉚線性接合剤で接合して、パッケージ基板1の開孔部2内に配置しているので、全体の厚みを極めて薄くすることができる。また裏面同士の接合なので、互いに半導体チップの電極パッドに影響を与えずに装着できる。また一方の半導体チップ6はワイヤレスボンディングを用いているため、

チップ6及び基板1が不安定な場合は、図示のよう
に、これらを治具12上に配置して、ダイボンド
工程を行う。なお13は治具12上に設けた固定棒で
ある。そして前記第2半導体8のダイボンドを行
ったのち、ボンディングワイヤ9を用いて第2半
導体チップの電極パッドと電極パターン3とを接
続する。

次いで第2図(ロ)に示すように、エポキシ樹脂等のモールド樹脂材を用いて、基板1の一部及び四半導体チップ6、8を一体的にモールドして封止部10を形成し、半導体装置を完成する。

なお、上記の製造過程において、パッケージ基体として板状のものを用いたものを示したが、テープキャリアを用いても同様に構成することができ、またパンパ7はビームリード4上ではなく半導体チップ上に形成しても同様に製作することができる。

第3図は、第1図に示した実施例の變形例を示す断面図で、この變形例は第1の半導体チップ8より面積の大きな第2の半導体チップ21を接合し

ファイヤを少なくし作樂性並びに信頼性の向上を計ることが出来る。

次に第2図(a)～(d)に基づいて、第1図に示した構成の半導体装置の製造過程について説明する。

まず第2図(a)に示すように、中央部に開孔部2を有し、裏面から同径部を通して裏面に達する電極パターン3と、裏面に開孔部2の一部に突出するように配置し先端にバンパ7を形成したビームリード4と、裏面に電極パターン3の接続部を除いて被覆した絶縁膜5とを有するパッケージ基板1を用意する。次いで、第2図(b)に示すように、第1の半導体チップ6が開孔部2内に配置され、且つ該チップ6の電極パッドにバンパ7が対応するように、該半導体チップ6に前記基板1を載置し、加圧圧着部材11によりバンパ7を介して半導体チップ6と基板1とを接合固定する。

次に第2図に示すように、第1の半導体チップ8の表面上に第2の半導体チップ8を絶縁性接着剤を介して重ね合わせて配設し、第2半導体チップ8のダイボンドを行う。この際、第1半導体

てパッケージしたものである。本発明は、2つの半導体チップをその裏面同士を接合するものであるから、各チップの電極パッドは互いに影響を受けず、したがってこの変形例のように半導体チップの相対的な大きさに制約を受けることがなくなる。

第4図は、他の実施例を示す断面図で、この実施例は第1の半導体チップを制御用1C22とし、第2の半導体チップをイメージセンサ23としたものであり、第2チップのイメージセンサ23側のモールド封止部24は、透明なモールド樹脂材を用いて形成し、第1チップの制御用1C22側のモールド封止部25は、光を遮断できる一般的なモールド樹脂材を用いて形成している。なお、これらの封止部24、25は2段階に分けたモールド工程により形成される。

第 5 図内は、第 4 図に示した実施例の変形例を示す断面図である。この変形例においては、第 1 チップである制御用 IC 22 の後面に、エポキシ系、ポリイミド系、シリコン系等の透光できる樹脂を

用いてコーティング層26を形成し、接着剤用IC22の電極パッド27となるA1表面だけを露出するように、マスクを用いてエッチングを行い、第5図面に示すような表面を形成する。そしてこの制御用IC22を、前記実施例と同様にパンプ7を介して電極パッドをビームリード4に接続することにより基板1に固定し、透明樹脂を用いて透明モールド封止部28を形成するものである。この場合は一面のモールド工程で前記封止部28を形成することができる。

第6図は、他の実施例を示す断面図である。この実施例は、第4図に示した実施例と同様に、第1半導体チップを制御用IC22とし、第2半導体チップをイメージセンサ23としたものであるが、第2半導体チップであるイメージセンサ23の面積は開孔部2の面積より大とし、該イメージセンサ23を制御用IC22の裏面に接着すると共に、該イメージセンサ23の裏面周縁部を開孔部2の周縁部表面に接着剤で接着したものである。そして裏面側には透明樹脂を、裏面側には通常の不透明樹脂

をそれぞれ用いてモールド封止部24、25を形成するものである。この実施例では、制御用IC22への光の漏れを更に良好に阻止することができる。

第7図は、更に他の実施例を示す断面図で、これも第4図に示した実施例と同様に、第1半導体チップを制御用IC22とし、第2半導体チップをイメージセンサ23としたものであるが、該イメージセンサ23の周縁部と基板1の開孔部2の周縁部表面との間に形成されるギャップに、通常の透光樹脂を充填して、透光部29を形成したものである。この実施例では、上記のように、イメージセンサ23と基板1との間に隙間が形成されている場合でも、光の侵入を良好に阻止することができる。

以上述べた各実施例は、いずれもモールド樹脂を用いてモールド封止部を形成したものを示したが、封止部は必ずしもモールド手段により形成されなければならないものではなく、他の手段によっても形成することができる。第8図は、合成樹脂のポッティングにより封止部31、32を形成した

実施例を示す。このポッティング封止部31、32は、それぞれ上側及び下側の2段階に分けて形成する必要がある。

また第9図に示すように、キャップ33又は平板状の蓋34を用いて、各半導体チップを封止することもできる。この第9図に示した実施例においては、下側を平板状の蓋34を用いて封止したものを示しているが、これは上側と同様にキャップ状の封止部材を用いて封止してもよいのは勿論である。

次にパッケージ基板における電極パターン及びビームリードの導出方法について説明する。上記各実施例で示した電極パターン及びビームリードは第10図内、a)の断面図及び斜視図に示すように配置されているものである。すなわち裏面の電極41は基板周縁部の導電部42を介して基板裏面の一部に設けた電極43に接続しているものである。基板周縁部の導電部42としては平面的な導電部のみならず、スルーホールを半分に切断した半円筒状の導電部で構成してもよい。なお44は裏面に設けたビームリードである。

第11図内、b)は、他の電極パターン及びビームリードの導出方法を示す断面図及び斜視図である。この導出方法は、基板周縁部に設けた導電部45は全て裏面電極46又はビームリード47に接続されており、裏面電極48は基板1の中間に設けたスルーホール49を介して裏面電極46と接続されるように構成するものである。この電極配置構成は、裏面逆の配置にしたものであっても同様である。

第12図は更に他の導出手段を示す図で、裏面電極50及び裏面電極(又はビームリード)51が位置をずらして配置され、それらがそれぞれ接続されている基板周縁部の導電部52、53が交互に配列されるように構成したものである。なお、この構成例は、表面及び裏面電極にそれぞれ接続されている導電部51、52が交互に規則的に配列したものであるが、このように交互に規則的に配列しないで、ランダムに配列されるように、裏面の電極を配置してもよい。

次に表面電極と裏面電極(又はビームリード)の導出手段について説明する。第13図内は、スル

ホールを利用して導通させるものであり、図に示すように、表面電極54と裏面電極（又はビームリード）55とはスルーホール58により接続されている。なお、57は裏面電極に接続されない他の表面電極で、基板周縁部の導電部58に接続されている。また第13図例は、基板周縁部に設けた導電部により導通させるようにしたものであり、図に示すように表面電極59と裏面電極60は基板周縁部の導電部61により導通接続されている。なお、62、63は相互に接続されない表面及び裏面電極であり、それぞれ基板周縁部の導電部に接続されている。

なお、第11図例、例～第13図例、例に示したものにおいても、基板周縁部の導電部は、スルーホールを半分に切断した半円筒状の導電部で構成してもよいのは勿論である。

(発明の効果)

以上実施例に基づいて詳細に説明したように、本発明によれば、複数の半導体チップを高密度で実装することができ、またワイヤボンディング工程が少なくワイヤ数が少なくて済むので、信頼性

の向上を計ることができる。また、半導体チップは相互に接合されているので、互いに放熱板として機能し放熱効果を向上させることができる。

4. 図面の簡単な説明

第1図は、本発明に係る半導体装置の一実施例の概略断面図、第2図例～例は、第1図に示した半導体装置の製造過程を示す図、第3図は、第1図に示した実施例の変形例を示す図、第4図は、他の実施例を示す断面図、第5図例は、第4図に示した実施例の変形例を示す断面図、第6図例は、その変形例における第1の半導体チップの表面を示す平面図、第7図及び第8図は、それぞれ他の実施例を示す断面図、第9図及び第10図は、それぞれ異なる封止手段を用いた半導体装置を示す断面図、第11図例、例は、パッケージ基板上の電極パターン及びビームリードの導出方法を示す断面図及び斜視図、第12図例、例は、他の電極パターン及びビームリードの導出方法を示す断面図及び斜視図、第13図例は、更に他の電極パターン及びビームリードの導出方法を示す斜視図、第14図例、例

は、表面電極と裏面電極又はビームリードとの導通手段を示す斜視図、第14図～第17図は、従来の複数個の半導体チップを実装した半導体装置を示す断面図である。

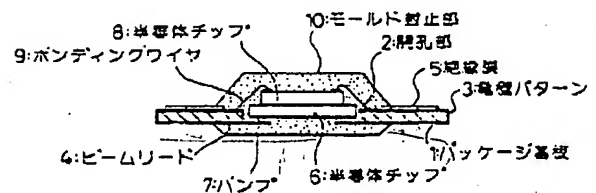
図において、1はパッケージ基板、2は開孔部、3は電極パターン、4はビームリード、5は絶縁膜、6は第1の半導体チップ、7はパンプ、8は第2の半導体チップ、9はボンディングワイヤ、10はモールド封止部を示す。

特許出願人 オリンパス光学工業株式会社

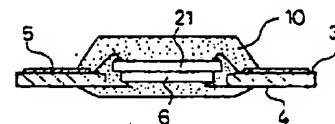
代理人弁理士 最上 健 治



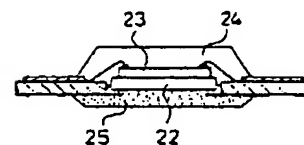
第1図



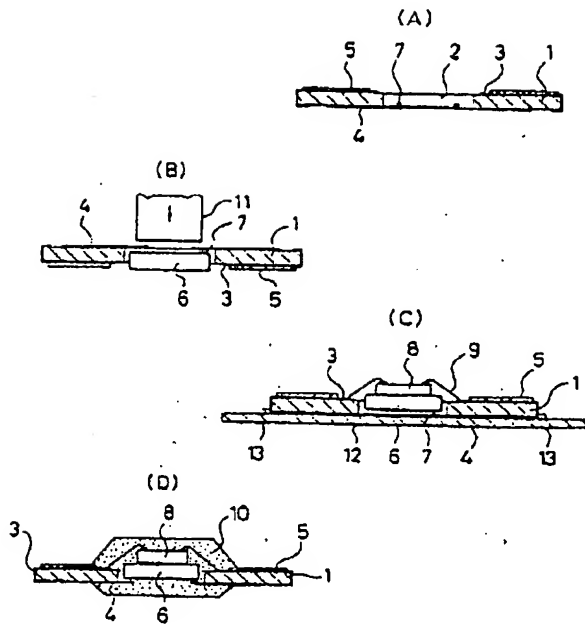
第3図



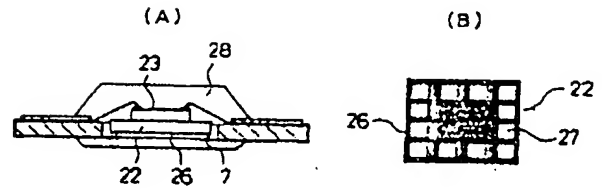
第4図



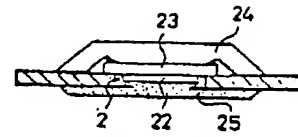
第2図



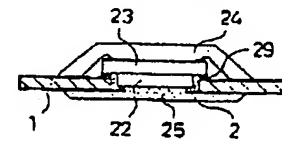
第5図



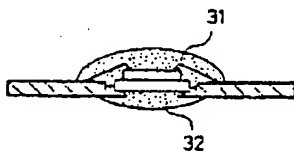
第6図



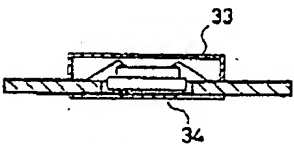
第7図



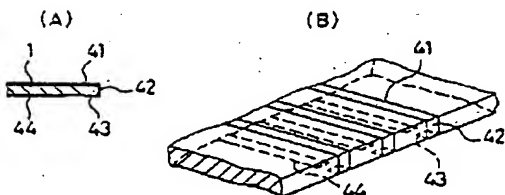
第8図



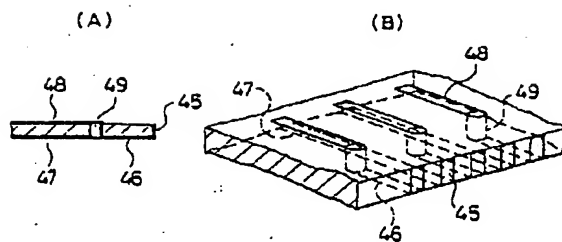
第9図



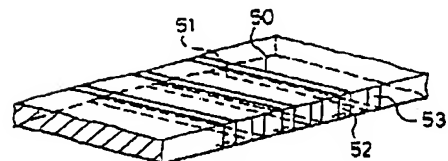
第10図



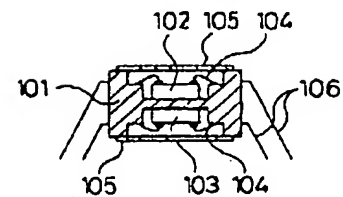
第11図



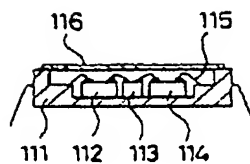
第12図



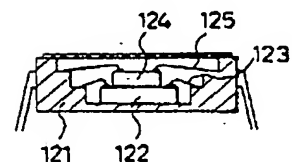
第14図



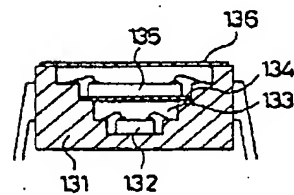
第15図



第16図



第17図



第13図

